

Computer organisatie

6 februari, 2006 (18:30-21:30)

- Dit examen bestaat uit 5 vragen met subvragen. Elke subvraag is 10 punten waard.
- Begin elke vraag op een nieuwe bladzijde. Zet overal je naam en studentnummer boven.
- Gebruik van boeken of ander studiemateriaal is niet toegestaan, een rekenmachine wel.
- Houd je antwoorden bondig. Schrijf niet met potlood of rode inkt.

Vraag 1

(a) We meten de performance van een processor met een onbekend benchmark programma. We ontdekken dat de CPI 0.9 is. Beantwoord nu de volgende vragen:

1. Wat betekent dat?
2. Is het realistisch dat een $CPI < 1$ is?
3. Zegt dat iets over de performance van een (ander) programma dat wij willen draaien op deze processor? Zo ja, wat? Zo nee, waarom niet?

(b) We hebben gemeten dat een programma dat draait op een bepaalde processor 'V1' 25% van zijn tijd spendeert in de `divr` instructie (de floating point division). De totale tijd die in floating point operaties wordt doorgebracht is 60%. De volgende generatie van de processor moet het programma beter ondersteunen. Er zijn twee opties:

- V2: maak de `divr` instructie 10x sneller;
- V3: maak alle floating point instructies 2x sneller.

Welke optie kiest u en waarom?

(c) Om de processor verder te versnellen wordt hij uitgerust met een pipeline. Er zijn drie opties:

- 5 pipeline stages (elke stage duurt 0.5ns, behalve stage 3 die 2ns duurt);
- 6 pipeline stages (elke stage duurt 1ns);
- 35 pipeline stages (elke stage duurt 0.95ns).

Welk ontwerp kiest u? Motiveer uw antwoord.

Vraag 2

In een code bestaan enkel de volgende codewoorden:

```
000000
000111
111000
111111
```

- (a) Wat is de Hamming afstand van deze code woorden?
- (b) (i) Hoeveel bitfouten kunnen met deze code gedetecteerd worden? (ii) Hoeveel gecorrigeerd?
- (c) Om geheugen aan te spreken wordt gebruik gemaakt van een bus met A adreslijnen en D datalijnen. (i) Kan A toenemen zonder dat D toeneemt (leg uit)? (ii) Wat zijn de voordelen als A toeneemt? (iii) Wat zijn de voordelen als D toeneemt?

We willen een digitaal circuit bouwen dat de volgende functie uitdrukt (alle waarden zijn 1 bit en `INVB` betekent de inverse van B en `INVD` de inverse van D):

$$Q = ((A \text{ and } INVD) \text{ or } (A \text{ and } D \text{ and } INVB)) \text{ or } (C \text{ and } D)$$

- (d) Geef de waarheidstabel voor dit circuit.
- (e) Teken het circuit. Gebruik alleen NAND and NOR gates.

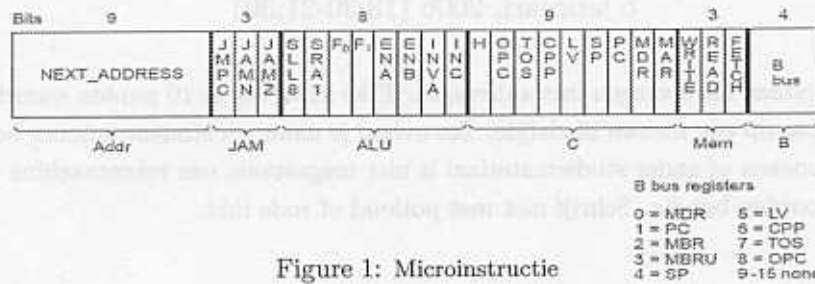


Figure 1: Microinstructie

Vraag 3

(a) De ILOAD instructie van de IJVM wordt gebruikt om een lokale variabele op de stack te plaatsen. De instructie heeft een 8 bits operand, maar door middel van de WIDE instructie kun je ook aangeven dat de instructie een 16 bits operand moet gebruiken. Daar is dan wel een extra instructie voor nodig. We denken dat we met dezelfde hardware complexiteit een processor kunnen bouwen waarbij de ILOAD instructie altijd een 16-bits operand gebruikt. Welk ontwerp is beter? Leg uit.

De twee vormen van ILOAD staan hieronder nog eens opgenomen in 2 code-fragmenten (waarbij index1 1 byte is en index2 2 bytes).

Fragment 1	Fragment 2
ILOAD index1	WIDE
	ILOAD index2

(b) Zoals je weet wordt er in de microarchitectuur in het boek gebruik gemaakt van microinstructies waarbij elke instructie bepaalt welke instructie de volgende moet zijn (d.m.v. het next_address veld in de microinstructie -zie Figuur 1). Leg uit hoe JMPc wordt gebruikt om ervoor te zorgen dat de juiste microinstructies worden uitgevoerd voor beide vormen van de ILOAD instructie.

(c) Waarom is het belangrijk dat instructie-issue sneller is dan instructie-executie in SuperScalar processors?

Vraag 4

Gegeven een byte-adresseerbare machine met 32 bits adressen, 8 bytes in een woord, en 32 woorden in een cacheline. De grootte van de cache is 64 KByte en de cache is direct-mapped. Initieel is de cache leeg.

(a) Gegeven het decimale adres 768. In welke cacheline komt de byte die zich op dit adres bevindt? Leg uit. Geef ook de tag die erbij hoort.

Een alternatief ontwerp gebuikt een 2-way set associative cache in plaats van een direct-mapped cache.

(b) Een programma spreekt achtereenvolgens de volgende 3 adressen aan: a_1, a_2, a_3 . Geef mogelijke waarden voor a_1, a_2, a_3 , zodanig dat de direct-mapped cache van hierboven 3x een cache miss oplevert, terwijl een 2-way set-associative cache slechts 2x een miss oplevert (bijvoorbeeld alleen voor a_1 en a_2).

(c) Het lijkt erop dat direct-mapped caches meer misses opleveren. Geef een voorbeeld van een situatie waarin een direct-mapped cache toch beter is (qua performance) dan een 2-way set-associative cache.

Vraag 5

(a) Wat zijn de verschillen tussen superscalars en VLIW (of EPIC) processoren?

(b) In het boek wordt uitgelegd hoe de Intel IA-64 predication ondersteunt: alle instructies zijn conditioneel. Leg uit m.b.v. een programma-voorbeeld hoe deze conditionele instructies kunnen leiden tot snellere executie.

(c) (i) Wat is het verschil tussen: sequential consistency en processor consistency? (ii) Stel: we gebruiken momenteel een processor-consistente multiprocessor om een applicatie X te draaien. Op een dag besluiten we een nieuwe multiprocessor te kopen en die is sequentieel consistent. Moeten we de bestaande code van X aanpassen? (Leg uit.)